

EUROPEAN PATENT OFFICE

Patent Abstracts of Japan

PUBLICATION NUMBER : 57208177
PUBLICATION DATE : 21-12-82

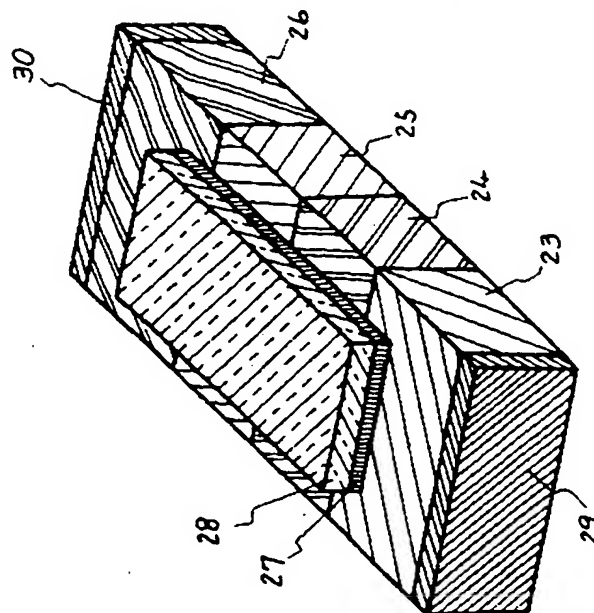
APPLICATION DATE : 17-06-81
APPLICATION NUMBER : 56093162

APPLICANT : NEC CORP;

INVENTOR : ONO YASUO;

INT.CL. : H01L 29/88 // H01L 29/74 H01L 29/78

TITLE : SEMICONDUCTOR NEGATIVE
RESISTANCE ELEMENT



ABSTRACT : PURPOSE: To stably integrate a negative resistance element by employing a field effect transistor used widely in a large scale integrated circuit.

CONSTITUTION: The second conductive type region 24 is formed in contact with the first conductive type region 23, the first conductive region 25 is formed in contact with the region 24, and the second conductive type region 26 is formed in contact with the region 25. A gate electrode 28 which reaches the surfaces of the regions 23 and 26 is formed through a gate insulating film 27 partly or entirely continued to the surface of the regions 24 and 25 as the energizing electrodes of the regions 23 and 26. Terminals 29, 30 are provided at the ends of the regions 23 and 26. Thus, a p-n-p-n negative resistance diode and thyristor which have been formed hitherto only by a bipolar transistor structure can be performed by the established field effect transistor technique of integrating technology.

COPYRIGHT: (C) JPO

⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑪ 公開特許公報 (A)

昭57-208177

⑫ Int. Cl.³
H 01 L 29/88
// H 01 L 29/74
29/78

識別記号
庁内整理番号
7738-5F
7738-5F

⑬ 公開 昭和57年(1982)12月21日
発明の数 1
審査請求 未請求

(全 4 頁)

⑭ 半導体負性抵抗素子

東京都港区芝五丁目33番1号日
本電気株式会社内

⑮ 特 願 昭56-93162

⑯ 出 願 人 日本電気株式会社

⑰ 出 願 昭56(1981)6月17日

東京都港区芝5丁目33番1号

⑱ 発 明 者 大野泰夫

⑲ 代 理 人 弁理士 内原晋

明 細 書

発明の名称 半導体負性抵抗素子

特許請求の範囲

第1の第1導電型領域に接して第1の第2導電型領域が、この第1の第2導電型領域に接して第2の第1導電型領域が、この第2の第1導電型領域に接して第2の第2導電型領域が存在し、かつ第1の第1導電型領域と、第2の第1導電型領域及び第2の第2導電型領域とは接触せず、また第1の第2導電型領域と第2の第2導電型領域とは接触しないように構成して、第1の第2導電型領域及び第2の第1導電型領域の表面の一部又は全部を連続して第1の第1導電型領域と第2の第2導電型領域の表面に連するゲート電極を設け第1の第1導電型領域及び第2の第2導電型領域に連電電極を設けた、ことを特徴とする半導体負性抵抗素子。

発明の詳細な説明

従来、電流制御型の負性抵抗素子としては pnpn ダイオード (ショックレイダイオード) が知られている。このダイオードの動作はいわゆるバイポーラトランジスタ動作によるもので、少数キャリアの寿命が長い半導体材料でないと実現不可能である。また構造上も少数キャリアの走行距離を短くするために中間の p 型層、n 型層は 1 μm 程度以下に薄くする必要もあった。そのためこの素子を一枚の高板上に集積化するには精度の高いエピタキシャル結晶成長技術、不純物拡散技術、エッチング技術等々の熟達した高度な技術を要し、素子間分離及び一般のバイポーラ IC 技術との互換性のからみもあって大規模集積化は達成されていない。

本発明はバイポーラ型 pnpn 負性抵抗ダイオードの持つ欠点を補くため、現在大規模集積回路に広く使われている MIS トランジスタ等々の電界効果トランジスタ技術を用いて簡単に製作可能な電流制御型負性抵抗素子を提供することを目的とす

特開明57-208177(2)

る。

本発明の原理は従来のバイポーラ型 pnp 型及び npn 型のトランジスタの一方のコレクタ電流が他方のベース電流となり、コレクタ電流のベース電流に対する増倍効果により正帰還がかかって OFF から ON 状態に変化することを、一つの素子中に作られた P チャネル電界効果トランジスタと N チャネル電界効果トランジスタの一方のドレイン電流が、他方の基板電位を変化させ、それによるスレッシュホールド電圧の変化、即ちドレイン電流の変化が、さらに他方の基板電位を変化させ、ドレイン電流を増大させるという正帰還に置きかえることにある。

本発明は、第 1 の第 1 導電型領域に接して第 1 の第 2 導電型領域が、この第 1 の第 2 導電型領域に接して第 2 の第 1 導電型領域が、この第 2 の第 1 導電型領域に接して第 2 の第 2 導電型領域が存在し、かつ第 1 の第 1 導電型領域と第 2 の第 1 導電型領域及び第 2 の第 2 導電型領域とは接触せず、また第 1 の第 2 導電型領域と第 2 の第 2 導電型領域

域とは接触しないように構成し、第 1 の第 2 導電型領域及び第 2 の第 1 導電型領域の表面の一部又は全部を遮断して第 1 の第 1 導電型領域と第 2 の第 2 導電型領域の表面に達するまで MIS ゲートで覆い、第 1 の第 1 導電型領域と第 2 の第 2 導電型領域に電極を設けて構成されている。

以下に本発明について詳しく説明する。

第 1 図は本発明による半導体負性抵抗素子の基本的な考え方を説明するための等価回路図である。

以下簡単のため MIS 構成を仮定して説明するが、これは本発明を限定するものではない。

11 は第 2 導電型チャネル MIS トランジスタ、12 はソース端子、13 はドレイン端子、14 は基板端子、15 はゲート端子、16 はソースと基板間に内蔵されている PN ダイオード、17 は第 1 導電型チャネル MIS トランジスタ、18 はソース端子、19 はドレイン端子、20 は基板端子、21 はゲート端子、22 はソースと基板間に内蔵されている PN ダイオードである。いま端子 18 をアースし、端子 13 に正の電圧 V_{DD} を印加した

とする。トランジスタ 11、17 の基板電圧がソース電圧と同じ場合のスレッシュホールド電圧を、それぞれ $-V_{TP}(0)$ 、 $V_{TN}(0)$ とする。そしてゲート端子 15 には $V_{DD} - \phi_D(0)$ 、ゲート端子 21 には $V_{TN}(0)$ の電圧を印加したとすると、トランジスタ 11、17 はそれぞれ OFF 状態になり、そのため各基板端子 14、20 にも電流は流れない。そのためトランジスタ 11、17 の基板電位はダイオード 16、22 により各々 V_{DD} 、アース電位となり、スレッシュホールド電圧は前と同じ状態であるため、この状態は安定に保たれる。

これと同一の端子電圧条件下でもし何らかの方法、例えば光起電力を与えたりとか、一瞬だけ一方のゲート電圧を変化させるなどして、一方のトランジスタを ON にしたとすると、いま例えばトランジスタ 11 が ON になったとすると、このトランジスタに流れる電流はゲート端子 15 を通り、端子 20 を通ってトランジスタ 17 の基板に流れ込み、基板の電位を上昇させる。基板の電位はダイオード 22 で電流が流れ始める電圧、これをいま ϕ_D と

すると ϕ_D まで上昇する。トランジスタ 17 の基板電圧が ϕ_D のときのスレッシュホールド電圧を $V_{TN}(\phi_D)$ とすると、 ϕ_D が正ならば必ず $V_{TN}(\phi_D) < V_{TN}(0)$ であり、両者の差は基板濃度が高い程大きくなる。今ゲートには $V_{TN}(0)$ の電圧が印加されているので $V_G > V_T$ となり、このトランジスタ 17 は ON となる。そのため端子 19 を通して電流が流れるが、この電流はトランジスタ 11 の基板端子から供給され、基板電圧は低下する。基板電圧の低下はダイオード 16 に電流が流れ出すと止まるが、基板の電位は始めの V_{DD} から $V_{DD} - \phi_D$ に低下する。トランジスタ 11 の基板とソースとの電位差は $-\phi_D$ となり、このときのスレッシュホールド電圧を $-V_{TP}(-\phi_D)$ とすると、 ϕ_D が正ならば必ず $-V_{TP}(-\phi_D) > -V_{TP}(0)$ の関係があり、今ゲート端子 15 にはソース端子 18 を基準とすると $-V_{TP}(0)$ の電圧がかかっているため、トランジスタ 11 は ON 状態となる。このように何らかのきっかけがあれば、同一の端子電圧条件下で安定に ON 状態が存在する。両トランジスタが ON

特開昭57-208177(3)

状態のまま V_{DD} を下げてミサランジスタの ON 状態はかわらず、 V_{DD} が低レベルでミサランジスタが 8 極管領域で動作して V_{DD} に近いドレイン電流が減り基板電位を保てなくなる。この ON 状態はつづく。このように、この発明による素子は広い端子間電圧の範囲で ON 状態と OFF 状態の 2 つの状態を安定に維持できる。

本発明による半導体装置の構成は、第 1 図に示したゲート 15、ミサランジスタ 11、12 の一体化したもので、動作原理は第 1 図の等価回路で説明したとおりである。この場合ゲート電圧を任意に設定できないため使用上の制限がある。製造上はゲート端子が一でよいための非対称構造化でき、従来製造法による MIS トランジスタとほぼ同じ面積で作れるため集積化に有利である。本発明による素子の基本的な構成の一例として第 2 図のようになる。23 は第 1 導電型領域、24 は第 2 導電型領域、25 は第 1 導電型領域、26 は第 2 導電型領域、27 はゲート絶縁膜、28 はゲート電極である。こうして構成しても先に等

価回路を用いて説明したように、一つの端子間電圧により 2 つの電流状態が安定に存在することは明らかである。ただゲートが一つしかないため、端子 29、30 間の電圧を変えたときにこの素子が ON 状態に移行する電圧は必ず $|V_{TH}(0)| + |V_{TF}(0)|$ 以下になる。したがって応用条件により、チャネルドープ等の条件を変え用途に応じた適当な素子構造にあらかじめ作っておく必要はある。

第 3 図にこの構造を実際に 808 基板を用いて作った素子の電流電圧特性を示す。横軸は端子 29、30 間の電圧、たて軸は電流でゲート電圧を端子 29 に対し 5 V から -5 V まで 1 V おきに変化させている。上記の説明は MIS 構成のゲート電極で説明してきたが、本発明は他のフィールドエフェクトデバイス例えば接合型 FET、静電誘導型 FET でも適当な構造、すなわち少くとも完全に近い OFF 状態の作れる構造にすれば本発明は適用可能である。

以上のように本発明は従来バイポーラトランジ

スタ構造でしか作れなかった負性抵抗ダイオードやサイリスタを、ミサランジスタの境界効果トランジスタ技術で実現できる。本発明を用いれば負性抵抗素子の集積化にできるため、大容量メモリなどへの応用がある。またゲート電極に電圧を印加する特性のコントロールが可能であり、様々な素子と考えられる。

型層、25 は第 1 導電型層、26 は第 2 導電型層、27 はゲート絶縁膜、28 はゲート電極である。

第 3 図は本発明による実際の素子の電流電圧特性を示すグラフで、よこ軸は陽極、陰極間端子電圧、たて軸は電流で、ゲート電圧を陰極に対し 5 V から -5 V まで 1 V おきに変化させている。

図面の簡単な説明

第 1 図は本発明の素子の等価回路図で、11 は第 2 導電型チャネルトランジスタのソース端子、18 はドレイン端子、16 はゲート端子、14 はミサランジスタ間に内蔵されている PN 接合ダイオード、17 は第 1 導電型チャネルトランジスタのソース端子、20 はドレイン端子、22 はソースと基板間に内蔵されている PN 接合ダイオードである。

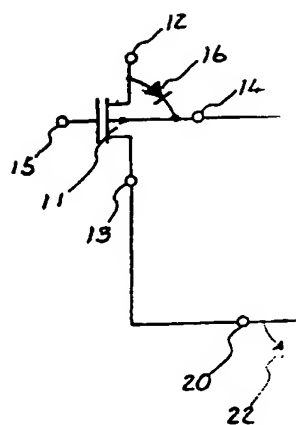
第 2 図は本発明による素子の一例を示す模式図で、23 は第 1 導電型領域、24 は第 2 導電型領域、25 は第 1 導電型領域、26 は第 2 導電型領域、27 はゲート絶縁膜、28 はゲート電極である。

代理人 弁理士 内 原

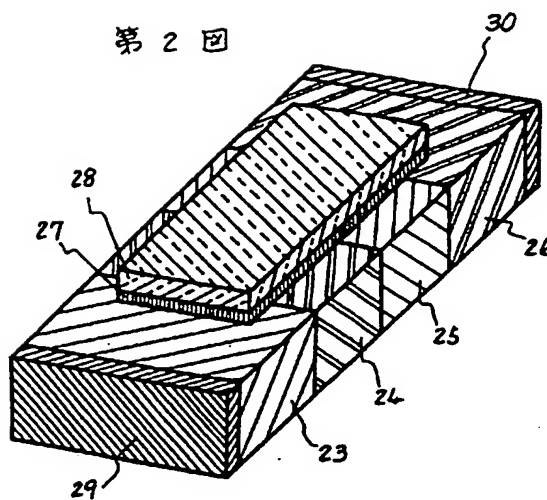
印

特許57-208177(4)

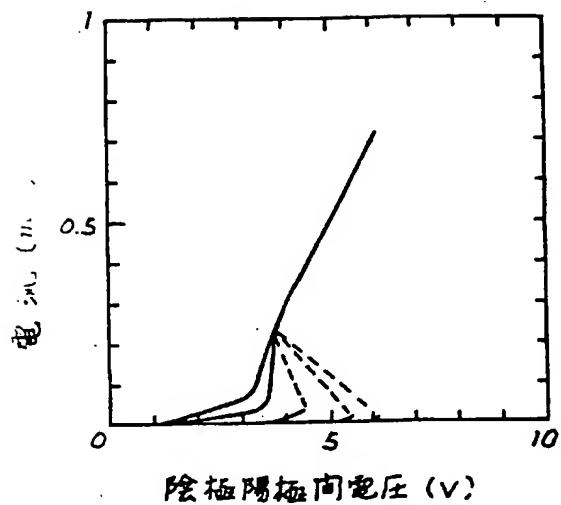
第 1 図



第 2 図



第 3 図



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☒ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.